

Docket No. 8733.594.00

1C9710/080513 US PRO  
02/25/02

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yun-Bok LEE		GAU:	TBA
SERIAL NO:	TBA	EXAMINER:	TBA
FILED:	February 25, 2002		
FOR:	<b>ARRAY SUBSTRATE FOR IN-PLANE SWITCHING MODE LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD THEREOF</b>		

## REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231#2  
18 APR 2002  
R. Goldman

SIR:

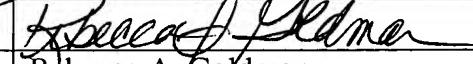
- Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of **35 U.S.C. §120**.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
KOREA	2001-9748	February 26, 2001

Certified copies of the corresponding Convention Application(s)

<input checked="" type="checkbox"/>	are submitted herewith
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee
<input type="checkbox"/>	were filed in prior application Serial No. filed
<input type="checkbox"/>	were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
<input type="checkbox"/>	(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
<input type="checkbox"/>	(B) Application Serial No.(s)
<input type="checkbox"/>	are submitted herewith
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee

Date: February 25, 2002	Respectfully Submitted,
	LONG ALDRIDGE & NORMAN LLP
Sixth Floor 701 Pennsylvania Avenue, N.W. Washington, D.C. 20004 Tel. (202) 624-1200 Fax. (202) 624-1298	 Rebecca A. Goldman
	Registration No. 41,786

10/080573  
02/25/02  
1C971 U.S. PRO



대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 9748 호  
Application Number PATENT-2001-0009748

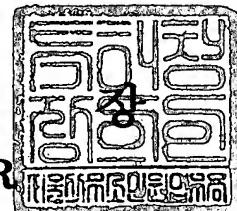
출원년월일 : 2001년 02월 26일  
Date of Application FEB 26, 2001

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.

2002 년 02 월 19 일



특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2001.02.26		
【발명의 명칭】	수평전계 구동방식 액정 표시 장치용 어레이 기판 및 그 제조 방법		
【발명의 영문명칭】	a array panel of in plane switching mode liquid crystal display and manufacturing method thereof		
【출원인】			
【명칭】	엘지 .필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	정원기		
【대리인코드】	9-1998-000534-2		
【포괄위임등록번호】	1999-001832-7		
【발명자】			
【성명의 국문표기】	이윤복		
【성명의 영문표기】	LEE, YUN-BOK		
【주민등록번호】	670110-1047012		
【우편번호】	121-080		
【주소】	서울특별시 마포구 대흥동 43-8		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 정원기 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	12	면	12,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	41,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

### 【요약】

#### 【요약】

본 발명은 수평전계 구동방식 액정 표시 장치의 어레이 기판 및 그의 제조 방법에 관한 것이다.

수평전계 구동방식 액정 표시 장치용 어레이 기판에서 공통 전극과 화소 전극을 동일층에 형성할 때, 두 전극의 양끝단 영역에서 전계의 왜곡이 발생하여 빛이 새는 문제가 발생한다. 빛샘을 방지하기 위해 상부 기판의 블랙 매트릭스로 이 부분을 덮어 주는데, 블랙 매트릭스는 합착마진까지 고려하여 형성되므로 개구율이 작아지게 된다.

본 발명에서는 화소 전극과 공통 전극을 동일 기판 및 동일층에 형성할 때, 두 전극의 양끝단 영역에 데이터 배선과 같은 물질로 패턴을 형성하여 공정수가 증가되지 않으면서 빛샘을 방지할 수 있다. 이에 따라, 블랙 매트릭스의 폭을 작게 형성할 수 있으므로 액정 표시 장치의 개구율을 향상시킬 수 있다.

### 【대표도】

도 7

### 【색인어】

수평전계, 개구율

**【명세서】****【발명의 명칭】**

수평전계 구동방식 액정 표시 장치용 어레이 기판 및 그 제조 방법{a array panel of in plane switching mode liquid crystal display and manufacturing method thereof}

**【도면의 간단한 설명】**

도 1은 일반적인 수평전계 구동방식 액정 표시 장치를 도시한 도면.

도 2a 및 도 2b는 수평전계 구동방식 액정 표시 장치에서 각각 전압이 인가 되기 전과 후의 액정 분자의 배열 상태를 도시한 도면.

도 3과 도 4는 종래의 수평전계 구동방식 액정 표시 장치용 어레이 기판에 대한 평면도.

도 5는 본 발명의 제 1 실시예에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판에 대한 평면도.

도 6은 도 5에서 VI-VI선을 따라 자른 단면도.

도 7은 본 발명의 제 2 실시예에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판에 대한 평면도.

도 8은 도 7에서 VIII-VIII선을 따라 자른 단면도.

도 9a 내지 도 9e는 본 발명에 따른 어레이 기판의 제조 과정을 도시한 단면도.

도 10은 본 발명의 제 3 실시예에 따른 어레이 기판의 평면도.

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 광시야각 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 액정을 구동시키는 제 1 및 제 2 전극이 동일 기판에 형성되어 있는 수평전계 구동 방식 액정 표시 장치의 어레이 기판 및 그의 제조 방법에 관한 것이다.
- <11> 일반적으로 액정 표시 장치는 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하여 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <12> 액정 표시 장치는 다양한 형태로 이루어질 수 있는데, 현재 박막 트랜지스터와 박막 트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 능동 행렬 액정 표시 장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현 능력이 우수하여 가장 주목받고 있다.
- <13> 이러한 액정 표시 장치는 하부 기판에 화소 전극이 형성되어 있고 상부 기판에 공통 전극이 형성되어 있는 구조로, 두 전극 사이에 걸리는 기판에 수직한

방향의 전기장에 의해 액정 분자를 구동하는 방식이다. 이는, 투과율과 개구율 등의 특성이 우수하다.

<14> 그러나, 이와 같은 액정 표시 장치는 시야각 특성이 우수하지 못한 단점을 갖고 있다. 따라서, 이러한 단점을 극복하기 위해 여러 가지 방법이 제시되었는데, 그 중의 한 예가 수평전계 구동방식 즉, IPS(in-plane switching) 모드의 액정 표시 장치이다.

<15> 이하, 첨부한 도면을 참조하여 IPS 모드의 액정 표시 장치에 관해 상세히 설명한다.

<16> 도 1에 도시한 바와 같이, 상부 기판(1)과 하부 기판(2)이 일정 거리를 두고 배치되어 있으며, 두 기판(1, 2) 사이에는 액정 분자(3)가 위치한다. 여기서, 화소 전극(4)과 공통 전극(5)은 하부 기판(2)의 동일 평면상에 형성되어 있어, 두 전극(4, 5)에 전압이 인가되었을 때 두 전극(4, 5) 사이에 수평전계(6)가 생성되고 액정층(3)의 액정 분자는 이 수평전계(6)에 의해 동작하게 된다.

<17> 도 2a 및 도 2b는 IPS 모드 액정 표시 장치에서 전압을 인가하기 전과 후의 액정 분자의 상 변위 모습을 각각 나타내는 도면이다.

<18> 도 2a에 도시한 바와 같이 화소 전극(4) 또는 공통 전극(5)에 전압을 인가하지 않은 상태에서는 액정 분자(3)의 상 변위가 일어나지 않는다. 여기서, 액정 분자(3)들은 두 전극(4, 5)의 수평 방향에 대해 일정각을 가지고 틀어져 배열되어 있는데, 이는 전계 생성시 액정 분자(3)의 회전 방향을 제어하기 위한 것이다.

- <19> 다음, 도 2b에 도시한 바와 같이 화소 전극(4)과 공통 전극(5)에 전압이 인가되었을 때, 액정 분자(3)는 두 전극(4, 5) 사이에 생성된 수평전계(6)와 나란하게 배열된다.
- <20> 이러한 수평전계 구동방식 액정 표시 장치용 어레이 기판에 대하여 도 3을 참조하여 설명한다.
- <21> 도 3은 종래의 수평전계 구동방식 액정 표시 장치의 박막 트랜지스터 어레이 기판에 대한 일례를 도시한 평면도이다.
- <22> 도시한 바와 같이, 가로 방향의 게이트 배선(21)과 세로 방향의 데이터 배선(31)이 교차하여 화소 영역을 정의하고, 게이트 배선(21)과 데이터 배선(31)의 교차 부분에는 게이트 배선(21) 및 데이터 배선(31)과 연결된 스위칭 소자인 박막 트랜지스터(41)가 형성되어 있다. 화소 영역에는 가로 방향으로 연장된 공통 배선(51)이 형성되어 있으며, 공통 배선(51)과 연결된 다수의 공통 전극(52)이 세로 방향으로 연장되어 있다. 또한, 화소 영역에는 세로 방향을 가지며 공통 전극(52)과 일정 간격을 가지고 엇갈리게 배치된 다수의 화소 전극(62)이 형성되어 있는데, 화소 전극(62)은 박막 트랜지스터(41)와 연결되어 있으며, 일끝단이 화소 전극 연결선(61)과 연결되어 있다. 화소 전극 연결선(61)은 게이트 배선(21)과 중첩되어 있어 스토리지 캐퍼시터(storage capacitor)를 형성한다.
- <23> 따라서, 이러한 어레이 기판을 이용한 IPS 모드 액정 표시 장치에서는 동일 평면상에 형성된 화소 전극과 공통 전극 사이에 수평전계를 생성하여, 액정 분자가 수평전계와 나란하게 배열되도록 함으로써 액정 표시 장치의 시야각을 넓게 할 수 있다.

- <24> 그러나, 이러한 IPS 모드의 액정 표시 장치에서는 시야각에 따라 색반전 (color-shift)이 일어나는 문제가 여전히 남아 있다. 색반전은 문턱 전압 (threshold voltage) 이상의 전기장 하에서 액정 분자의 회전 방향과 관계가 있으며, 시야각에 따른 액정층의  $\Delta n \cdot d$ (retardation) 값의 증가 또는 감소에 의해 발생한다.
- <25> 이러한 색반전 문제를 해결하기 위한 일례가 미국특허 제 5,745,207호에 제시되었는데, 이를 도 4에 도시하였다.
- <26> 도시한 바와 같이, 공통 전극(52)과 화소 전극(62)이 일정 각을 가지고 구부러지도록 형성함으로써, 구부러진 부분을 경계로 두 도메인(domain)(A, B)을 형성한다. 도 4에서는 도메인(A, B)이 화소 영역의 상부와 하부에 형성된다.
- <27> 여기서, 두 전극(52, 62)에 전압이 인가되었을 때, 두 전극(52, 62) 사이에 생성된 전기장(도시하지 않음)은 각 도메인(A, B)에 대해 액정 분자(71, 72)를 각각 반대 방향으로 회전시키는데, 상부 도메인(A)의 액정 분자(71)는 시계 방향으로 회전하고, 하부 도메인(B)의 액정 분자(72)는 반시계 방향으로 회전을 한다. 따라서, 각 도메인(A, B)의 액정 분자(71, 72)가 서로 다른 방향으로 배열되므로, 시야각에 따른 색 반전을 효과적으로 보상할 수 있다.
- <28> 도시한 바와 같이, 이러한 어레이 기판에서 공통 전극과 화소 전극은 서로 다른 층에 형성되는데, 공정수를 감소시키기 위해 공통 전극은 게이트 배선과 같은 물질로 형성되고, 화소 전극은 데이터 배선과 같은 물질로 형성된다. 그러나,

이러한 경우 공통 전극과 화소 전극이 불투명한 금속으로 이루어지기 때문에, 개구율이 낮아지는 문제가 발생한다.

### 【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기한 종래의 문제를 해결하기 위해 안출된 것으로서, 본 발명의 목적은 시야각이 넓으면서 개구율이 향상된 수평전계 구동방식 액정 표시 장치용 어레이 기판 및 그의 제조 방법을 제공하는 것이다.

### 【발명의 구성 및 작용】

<30> 상기한 목적을 달성하기 위해 본 발명에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판에서는 기판 상에 제 1 방향으로 연장된 게이트 배선과, 제 2 방향으로 연장되고, 게이트 배선과 함께 화소 영역을 정의하는 데이터 배선이 형성되어 있다. 화소 영역에는 제 2 방향으로 연장되며, 구부러진 부분을 적어도 하나 이상 가지는 다수의 공통 전극과, 다수의 공통 전극에 연결되고 제 1 방향으로 연장된 공통 배선, 그리고 공통 전극과 엇갈려 배치되며 구부러진 부분을 적어도 하나 이상 가지는 다수의 화소 전극이 형성되어 있다. 공통 배선과 만나는 공통 전극의 일끝단과 화소 전극의 일끝단 사이 영역에는 데이터 배선과 같은 물질로 이루어지진 차광패턴이 형성되어 있다.

<31> 본 발명에서는 게이트 배선 및 데이터 배선과 연결되고, 게이트 전극과 소스 및 드레인 전극으로 이루어진 박막 트랜지스터와 드레인 전극에서 연장되고,

다수의 화소 전극과 연결되어 있는 화소 전극 연결선이 더 형성되어 있을 수 있다.

- <32> 여기서, 공통 전극의 타끌단은 화소 전극 연결선과 중첩되는 것이 좋다.
- <33> 차광패턴은 공통 전극의 일끌단이 공통 배선과 예각으로 만나는 부분과 화소 전극의 일끌단 사이 영역에 위치할 수 있다.
- <34> 본 발명에 따른 어레이 기판은 데이터 배선과 같은 물질로 이루어지고 공통 배선과 중첩되며, 화소 전극과 연결된 캐패시터 전극을 더 포함할 수 있는데, 이때 차광패턴은 캐패시터 전극과 연결되어 있을 수 있다.
- <35> 본 발명에서, 공통 전극 중의 하나는 제 2 방향으로 인접한 화소 영역에 까지 연장되어 있을 수 있다.
- <36> 공통 전극과 화소 전극은 지그재그 모양으로 이루어질 수 있고, 데이터 배선도 또한 지그재그 모양으로 이루어질 수 있다. 이때, 데이터 배선은 공통 전극과 일부 중첩할 수도 있다.
- <37> 본 발명에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판의 제조 방법에서는 기판 상에 제 1 방향으로 연장된 게이트 배선과 게이트 배선에 연결된 게이트 전극을 형성하고, 게이트 배선 상부에 게이트 절연막과 반도체층을 차례로 형성한다. 이어, 반도체층 상부에 제 2 방향으로 연장된 데이터 배선과, 데이터 배선에 연결되는 소스 전극 및 드레인 전극, 드레인 전극에서 연장된 화소 전극 연결선, 그리고 차광패턴을 형성한다. 다음, 데이터 배선이 형성된 기판 전면에 화소 전극 연결선을 드러내는 다수의 콘택홀을 가지는 보호막을 형성한다.

다음, 보호막 위에 제 1 방향으로 연장된 공통 배선과, 공통 배선에서 제 2 방향으로 연장되고 지그재그 모양을 가지는 다수의 공통 전극과, 지그재그 모양을 가지고 공통 전극과 엇갈리게 배치되며 콘택홀을 통해 화소 전극 연결선과 연결되는 다수의 화소 전극을 형성한다. 여기서, 차광패턴은 공통 배선과 만나는 공통 전극의 일끝단과 화소 전극의 일끝단 사이 영역에 위치한다.

<38> 본 발명에서 데이터 배선을 형성하는 단계는 공통 배선과 중첩하고 화소 전극과 연결되는 캐패시터 전극을 형성하는 단계를 포함할 수 있으며, 캐패시터 전극은 차광패턴과 연결될 수도 있다.

<39> 한편, 데이터 배선은 지그재그 모양을 가지며 공통 전극과 일부 중첩될 수도 있다.

<40> 이와 같이 본 발명에서는 화소 전극과 공통 전극을 동일 기판 및 동일층에 형성하여 시야각을 넓히는데 있어서, 두 전극의 양끝단 영역에 데이터 배선과 같은 물질로 패턴을 형성하여 공정수가 증가되지 않으면서 빛샘을 방지할 수 있다. 이에 따라, 블랙 매트릭스의 폭을 작게 형성할 수 있으므로 액정 표시 장치의 개구율을 향상시킬 수 있다.

<41> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판 및 그의 제조 방법에 대하여 상세히 설명한다.

<42> 먼저, 도 5는 본 발명의 제 1 실시예에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판의 평면도이고, 도 6은 도 5에서 VI-VI선을 따라 자른 단면도이다.

- <43> 도 5 및 도 6에 도시한 바와 같이, 투명한 절연 기판(110) 위에 금속과 같은 도전 물질로 이루어지고, 게이트 전극(122)을 포함하는 제 1 방향의 게이트 배선(121)이 형성되어 있다.
- <44> 게이트 배선(121) 상부에는 게이트 절연막(130)이 형성되어 있다.
- <45> 게이트 전극(122) 상부의 게이트 절연막(130) 위에는 비정질 실리콘과 같은 물질로 이루어진 액티브층(141)이 형성되어 있고, 그 위에 불순물을 포함하는 비정질 실리콘으로 이루어진 오믹 콘택층(151, 152)이 형성되어 있다.
- <46> 오믹 콘택층(151, 152)과 게이트 절연막(130) 상부에는 금속과 같은 도전 물질로 이루어진 데이터 배선(161)과 소스 및 드레인 전극(162, 163), 화소 전극 연결선(164), 캐패시터 전극(165)이 형성되어 있다.
- <47> 데이터 배선(161)은 제 2 방향으로 연장되어 지그재그(zigzag) 모양을 가지며 게이트 배선(121)과 교차하여 화소 영역을 정의하고, 소스 전극(162)은 데이터 배선(161)에서 연장되어 있으며, 드레인 전극(163)은 게이트 전극(122)을 중심으로 소스 전극(162)과 마주 대하고 있다.
- <48> 이들은 보호막(170)으로 덮여 있으며, 보호막(170)은 드레인 전극(163)을 일부 드러내는 제 1 콘택홀(171) 및 캐패시터 전극(165)을 일부 드러내는 제 2 콘택홀(172)을 가진다.
- <49> 다음, 보호막(170) 상부의 화소 영역에는 투명 도전 물질로 이루어진 공통 배선(181)과 제 1 내지 제 4 공통 전극(182, 183, 184, 185), 그리고 제 1 내지 제 3 화소 전극(191, 192, 193) 및 화소 전극 연결선(194)이 형성되어 있다.

<50> 여기서, 공통 배선(181)은 제 1 방향으로 연장되어 있고 하부의 캐패시터 전극(165)과 중첩되어 스토리지 캐패시터를 형성하며, 제 1 내지 제 4 공통 전극(182, 183, 184, 185)은 공통 배선(181)에서 제 2 방향으로 연장되어 지그재그 모양을 가진다. 이때, 제 4 공통 전극(184)은 제 2 방향으로 인접한 화소에까지 연장되어 있다.

<51> 또한, 제 1 콘택홀(171)을 통해 드레인 전극(163)과 연결된 화소 전극 연결선(164)이 제 2 방향으로 연장되어 있고, 제 1 내지 제 3 화소 전극(191, 192, 193)은 화소 전극 연결선(164)에서 제 2 방향으로 연장되어 있으며, 지그재그 모양을 가지고 대응하는 공통 전극(182, 183, 184, 185)과 일정 간격 이격되어 있다. 이때, 제 3 화소 전극(193)은 제 2 콘택홀(172)을 통해 캐패시터 전극(165)과 연결되어 있다.

<52> 이와 같이, 본 발명의 제 1 실시예에서는 공통 전극과 화소 전극을 동일층에 형성하며, 투명 도전 물질로 형성하여 개구율을 향상시킬 수 있다.

<53> 그런데, 이와 같이 공통 전극과 화소 전극을 동일층에 형성할 경우에 두 전극이 단락(short)되는 것을 방지하기 위해 공통 배선과 화소 전극, 그리고 공통 전극과 화소 전극 연결선이 일정 간격 이격되도록 형성해야 한다. 이때, 두 전극에 전압을 인가하면 상기한 이격된 부분에서 전계의 왜곡이 일어나 이 부분에 위치한 액정 분자의 배열이 다른 부분과 달라질 수 있다. 이로 인해, 빛샘이 발생할 수 있으므로 빛샘을 방지하기 위해 상부 기판의 블랙 매트릭스로 이 부분을 가려 주어야 한다. 또한, 블랙 매트릭스는 상부 기판과 하부 기판의 합착시 오정렬(misalign)에 의해 빛이 새는 것을 방지하기 위해 합착마진을 고려하여 형성해

야 한다. 따라서, 블랙 매트릭스를 상기 이격된 부분의 끝에서 약 5  $\mu\text{m}$  정도의 합착마진만큼 더 넓게 형성해야 하므로 액정 표시 장치의 개구율이 감소된다.

<54> 본 발명의 제 1 실시예에서 개구율이 감소되는 것을 방지하기 위한 제 2 실시예를 도 7 및 도 8에 도시하였다.

<55> 도 7은 본 발명의 제 2 실시예에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판의 평면도이고, 도 8은 도 7에서 VIII-VIII선을 따라 자른 단면도이다.

<56> 도 7 및 도 8에 도시한 바와 같이, 유리와 같이 투명한 절연 기판(110) 위에 금속과 같은 도전 물질로 이루어지고, 게이트 전극(122)을 포함하는 제 1 방향의 게이트 배선(121)이 형성되어 있다. 여기서는 게이트 배선(121)의 일부가 게이트 전극(122)이 되는데, 게이트 전극(122)은 게이트 배선(121)의 분지로 이루어질 수도 있다.

<57> 게이트 배선(121) 상부에는 게이트 절연막(130)이 형성되어 있는데, 게이트 절연막(130)은 실리콘 질화막( $\text{SiN}_x$ ) 또는 실리콘 산화막( $\text{SiO}_2$ )으로 이루어질 수 있으며, 유기 물질로 이루어질 수도 있다.

<58> 게이트 전극(122) 상부의 게이트 절연막(130) 위에는 비정질 실리콘과 같은 물질로 이루어진 액티브층(141)이 형성되어 있고, 그 위에 불순물을 포함하는 비정질 실리콘으로 이루어진 오믹 콘택층(151, 152)이 형성되어 있다.

<59> 오믹 콘택층(151, 152)과 게이트 절연막(130) 상부에는 금속과 같은 도전 물질로 이루어진 데이터 배선(161)과 소스 및 드레인 전극(162, 163), 화소 전극

연결선(164), 캐패시터 전극(165), 그리고 제 1 내지 제 3 차광패턴(166, 167, 168)이 형성되어 있다.

<60> 데이터 배선(161)은 제 2 방향으로 연장되어 지그재그(zigzag) 모양을 가지며 게이트 배선(121)과 교차하여 화소 영역을 정의하고, 소스 전극(162)은 데이터 배선(161)에서 연장되어 있으며, 드레인 전극(163)은 게이트 전극(122)을 중심으로 소스 전극(162)과 마주 대하고 있다. 또한, 화소 전극 연결선(164)은 드레인 전극(163)으로부터 제 1 방향으로 연장되어 있으며, 제 1 내지 제 3 차광패턴(166, 167, 168)은 캐패시터 전극(165)과 연결되어 있다.

<61> 이들은 보호막(170)으로 덮여 있으며, 보호막(170)은 화소 전극 연결선(164)을 일부 드러내는 제 1 내지 제 3 콘택홀(171, 172, 173) 및 캐패시터 전극(165)을 일부 드러내는 제 4 콘택홀(174)을 가진다. 여기서, 보호막(170)은 게이트 절연막(130)과 마찬가지로 실리콘 질화막이나 실리콘 산화막으로 이루어질 수 있으며, 또는 유기 물질로 이루어질 수도 있다.

<62> 다음, 보호막(170) 상부의 화소 영역에는 공통 배선(181)과 제 1 내지 제 4 공통 전극(182, 183, 184, 185), 그리고 제 1 내지 제 3 화소 전극(191, 192, 193)이 형성되어 있다.

<63> 여기서, 공통 배선(181)은 제 1 방향으로 연장되어 있고 하부의 캐패시터 전극(165)과 중첩되어 스토리지 캐패시터를 형성하며, 제 1 내지 제 4 공통 전극(182, 183, 184, 185)은 공통 배선(181)과 연결되고 제 2 방향으로 연장되어 지그재그 모양을 가지는데, 제 4 공통 전극(184)은 제 2 방향으로 인접한 화소에까지 연장되어 있다.

<64> 본 발명에서는 캐패시터 전극(165)이 공통 배선(181)과 중첩되어 스토리지 캐패시터를 형성하고 있으나, 캐패시터 전극(165)이 게이트 배선(121)과 중첩하여 스토리지 캐패시터를 형성하도록 할 수도 있다.

<65> 한편, 제 1 내지 제 3 화소 전극(191, 192, 193)은 지그재그 모양을 가지고 제 2 방향으로 연장되어 있으며, 대응하는 공통 전극(182, 183, 184, 185)과 일정 간격 이격되어 있다. 또한, 제 1 내지 제 3 화소 전극(191, 192, 193)은 각각 제 1 내지 제 3 콘택홀(171, 172, 173)을 통해 화소 전극 연결선(164)과 연결되어 있고, 제 3 화소 전극(193)은 제 4 콘택홀(174)을 통해 캐패시터 전극(165)과도 연결되어 있다.

<66> 여기서는 공통 전극(182, 183, 184, 185)과 화소 전극(191, 192, 193) 및 데이터 배선(161)을 지그재그 모양으로 형성하였으나, 종래와 같이 한번만 구부러지도록 형성할 수 있으며, 데이터 배선(161)은 직선으로 형성할 수도 있다.

<67> 이때, 제 2 및 제 3 공통 전극(183, 184)의 하부단은 화소 전극 연결선(164)과 중첩되어 있고, 공통 배선(181)과 예각으로 만나는 제 2 내지 제 4 공통 전극(183, 184, 185)의 상부단과 화소 전극(191, 192, 193)의 상부단 사이 영역은 제 1 내지 제 3 차광패턴(166, 167, 168)으로 덮여 있어, 공통 전극(182, 183, 184, 185) 및 화소 전극(191, 192, 193)의 양끝단 영역에서 빛샘이 발생하는 것을 방지할 수 있다.

<68> 한편, 공통 배선(181)과 둔각으로 만나는 제 2 내지 제 4 공통 전극(183, 184, 185)의 상부단과 화소 전극(191, 192, 193)의 상부단 사이 영역은 생성되는

전계의 방향이 주된 전계의 방향과 같아 빛샘이 발생하지 않기 때문에, 도시한 바와 같이 차광패턴을 형성하지 않아도 된다.

<69> 본 발명에서는 제 1 내지 제 3 차광패턴(166, 167, 168)이 캐패시터 전극(165)과 연결되어 있어 스토리지 캐패시터의 용량이 더욱 증가되는데, 공통 전극(182, 183, 184, 185)과 단락되는 것을 방지하기 위해 차광패턴(166, 167, 168)을 캐패시터 전극(165)과 분리(floating)되도록 형성할 수도 있다.

<70> 이와 같이 본 발명에서는 공통 전극과 화소 전극을 동일층에 형성할 때, 빛샘이 발생할 수 있는 공통 전극과 화소 전극의 양끝단 영역을 데이터 배선과 같은 물질로 이루어진 차광패턴 및 화소 전극 연결선으로 가려주어 빛샘을 방지할 수 있기 때문에, 상부 기판의 블랙 매트릭스로 이 부분을 덮지 않아도 된다. 따라서, 블랙 매트릭스의 폭을 감소시킬 수 있으므로 개구율이 저하되는 것을 방지할 수 있다.

<71> 본 발명에 따른 어레이 기판의 제조 방법에 대하여 도 9a 내지 도 9e를 참조하여 상세히 설명한다. 도 9a 내지 도 9e는 도 7의 VIII-VIII선을 따라 자른 단면에 해당한다.

<72> 먼저, 도 9a에 도시한 바와 같이 유리와 같이 투명한 절연 기판(110) 위에 금속과 같은 물질을 증착하고 패터닝하여 게이트 전극(122)을 형성한다. 여기서, 게이트 전극(122)은 게이트 배선(도시하지 않음)과 연결되어 있으며, 금속과 같은 불투명한 물질로 이루어질 수 있는데, 크롬(Cr), 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 탄탈(Ta), 텅스텐(W), 안티몬(Sb) 또는 이들의 합금 또는 이 중층 등이 그 예이다.

<73> 이어, 도 9b에 도시한 바와 같이 게이트 전극(122) 상부에 게이트 절연막(130), 비정질 실리콘층, 그리고 불순물이 도핑된 비정질 실리콘층을 순차적으로 증착하고 패터닝하여 액티브층(141)과 불순물 반도체층(153)을 형성한다. 여기서, 게이트 절연막(130)은 실리콘 산화막이나 실리콘 질화막으로 형성할 수 있으며, 또는 유기 물질로 형성할 수도 있다.

<74> 다음, 도 9c에 도시한 바와 같이 금속과 같은 물질을 증착하고 패터닝하여 데이터 배선(도시하지 않음)과 소스 및 드레인 전극(162, 163), 화소 연결선(164), 그리고 캐패시터 전극(165) 및 제 1 내지 제 3 차광패턴(도시하지 않음)을 형성한다. 이어, 드러난 불순물 반도체층(도 9b의 153)을 식각하여 오믹 콘택층(151, 152)을 형성한다.

<75> 여기서, 소스 및 드레인 전극(162, 163)은 게이트 전극(122)을 중심으로 마주 대하고 있고, 화소 전극 연결선(164)은 드레인 전극(163)과 연결되어 있으며, 제 1 내지 제 3 차광패턴은 캐패시터 전극(165)과 연결되어 있다.

<76> 다음, 도 9d에 도시한 바와 같이 실리콘 질화막이나 실리콘 산화막 또는 유기 물질을 증착하여 보호막(170)을 형성한 후, 패터닝하여 화소 전극 연결선(164)을 일부 드러내는 제 1 콘택홀(171)을 형성한다. 이때, 도시하지 않았지만 화소 전극 연결선(164)을 드러내는 제 2 및 제 3 콘택홀과 캐패시터 전극(165)을 일부 드러내는 제 4 콘택홀도 함께 형성된다.

<77> 다음, 도 9e에 도시한 바와 같이 인듐-틴-옥사이드(indium-tin-oxide ; ITO)나 인듐-징크-옥사이드(indium-zinc-oxide ; IZO)와 같은 투명한 도전 물질

을 증착하고 패터닝하여 공통 배선(181)과 공통 전극(183, 184), 그리고 화소 전극(191, 192)을 형성한다.

<78> 여기서, 공통 전극(183, 184)과 화소 전극(191, 192)은 일정 간격을 가지고 엇갈리게 배치되어 있으며, 그 개수는 조건에 의해 달라질 수 있다.

<79> 여기서는 공통 전극(183, 184)과 화소 전극(191, 192)을 ITO나 IZO와 같은 투명한 도전 물질로 형성하는데, 경우에 따라서 금속과 같은 불투명 도전 물질로 형성할 수도 있다. 또한, 공통 전극(183, 184)과 화소 전극(191, 192)은 도 5에 도시한 바와 같이 지그재그 모양을 가질 수도 있고, 한번만 구부러진 모양을 가질 수도 있다.

<80> 이와 같이, 본 발명에서는 화소 전극 연결선 및 차광패턴을 데이터 배선과 같은 물질로 형성하며, 공통 전극의 일끝단이 화소 전극 연결선과 중첩되도록 하고, 차광패턴이 공통 전극의 타끌단과 화소 전극의 끝단부 사이 영역에 위치하도록 함으로써, 공정이 증가되지 않으면서 빛샘을 방지할 수 있다. 또한, 이후 상부 기판에 형성되는 블랙 매트릭스의 폭을 종래보다 작게 형성할 수 있으므로 개구율을 향상시킬 수 있다.

<81> 한편, 개구율을 더욱 향상시킨 본 발명의 제 3 실시예에 대하여 도 10에 도시하였다.

<82> 도 10은 본 발명의 제 3 실시예에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판의 평면도로서, 제 1 공통 전극과 데이터 배선 부분을 제외하고 앞선 실시예와 동일하므로, 동일한 부분에 대한 설명은 생략하기로 한다.

<83> 도 10에 도시한 바와 같이, 본 발명의 제 3 실시예에서는 세로 방향으로 연장되고 지그재그 모양으로 이루어진 데이터 배선(161)과 제 1 공통 전극(182)이 일부 중첩되어 있다.

<84> 앞선 실시예에서 데이터 배선(161)과 제 1 공통 전극(182) 사이에 일정 간격을 가진 영역이 화상이 표현되지 않는 영역인데, 제 3 실시예에서는 이 영역이 제거되어 화상이 표현되는 영역이 넓어지므로 개구율이 증가된다.

<85> 본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

### 【발명의 효과】

<86> 본 발명에 따른 수평전계 구동방식 액정 표시 장치용 어레이 기판에서는 공통 전극과 화소 전극을 투명 도전 물질로 동일층에 형성하여 개구율을 증가시킬 수 있으며, 공통 전극 및 화소 전극의 양끝단 부분에 데이터 배선과 같은 물질로 차광패턴을 형성하여 빛샘을 방지함으로써, 상부 기판의 블랙 매트릭스 폭을 감소시켜 개구율을 더욱 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

기판;

상기 기판 상에 제 1 방향으로 연장된 게이트 배선;

상기 기판 상에 제 2 방향으로 연장되고, 상기 게이트 배선과 함께 화소 영역을 정의하는 데이터 배선;

상기 화소 영역에 형성되고 상기 제 2 방향으로 연장되며, 구부러진 부분을 적어도 하나 이상 가지는 다수의 공통 전극;

상기 다수의 공통 전극과 연결되고, 상기 제 1 방향으로 연장된 공통 배선;

상기 공통 전극과 엇갈려 배치되며 구부러진 부분을 적어도 하나 이상 가지는 다수의 화소 전극;

상기 데이터 배선과 같은 물질로 이루어지고, 상기 공통 배선과 만나는 상기 공통 전극의 일끝단과 상기 화소 전극의 일끝단 사이 영역에 위치하는 차광패턴

을 포함하는 수평전계 구동방식 액정 표시 장치용 어레이 기판.

**【청구항 2】**

제 1 항에서,

상기 게이트 배선 및 데이터 배선과 연결되고, 게이트 전극과 소스 및 드레인 전극으로 이루어진 박막 트랜지스터를 더 포함하는 수평전계 구동방식 액정 표시 장치용 어레이 기판.

### 【청구항 3】

제 2 항에서,

상기 드레인 전극에서 연장되고, 상기 다수의 화소 전극과 연결되어 있는 화소 전극 연결선을 더 포함하는 수평전계 구동방식 액정 표시 장치용 어레이 기판.

### 【청구항 4】

제 3 항에서,

상기 공통 전극의 타끌단은 상기 화소 전극 연결선과 중첩되는 수평전계 구동방식 액정 표시 장치용 어레이 기판.

### 【청구항 5】

제 1 항에서,

상기 차광패턴은 상기 공통 전극의 일끌단이 상기 공통 배선과 예각으로 만나는 부분과 상기 화소 전극의 일끌단 사이 영역에 위치하는 수평전계 구동방식 액정 표시 장치용 어레이 기판.

**【청구항 6】**

제 5 항에서,  
상기 데이터 배선과 같은 물질로 이루어지고 상기 공통 배선과 중첩되며,  
상기 화소 전극과 연결된 캐패시터 전극을 더 포함하는 수평전계 구동방식 액정  
표시 장치용 어레이 기판.

**【청구항 7】**

제 6 항에서,  
상기 차광패턴은 상기 캐패시터 전극과 연결되어 있는 수평전계 구동방식  
액정 표시 장치용 어레이 기판.

**【청구항 8】**

제 7 항에서,  
상기 공통 전극 중의 하나는 상기 제 2 방향으로 인접한 상기 화소 영역에  
까지 연장되어 있는 수평전계 구동방식 액정 표시 장치용 어레이 기판.

**【청구항 9】**

제 8 항에서,

상기 공통 전극과 상기 화소 전극은 지그재그 모양으로 이루어진 수평전계 구동방식 액정 표시 장치용 어레이 기판.

#### 【청구항 10】

제 9 항에서,  
상기 데이터 배선은 지그재그 모양으로 이루어진 수평전계 구동방식 액정 표시 장치용 어레이 기판.

#### 【청구항 11】

제 10 항에서,  
상기 데이터 배선은 상기 공통 전극과 일부 중첩하는 수평전계 구동방식 액정 표시 장치용 어레이 기판.

#### 【청구항 12】

기판 상에 제 1 방향으로 연장된 게이트 배선과 상기 게이트 배선에 연결된 게이트 전극을 형성하는 단계;  
상기 게이트 배선 상부에 게이트 절연막을 형성하는 단계;  
상기 게이트 절연막 상부에 반도체층을 형성하는 단계;

상기 반도체층 상부에 상기 제 2 방향으로 연장된 데이터 배선과, 상기 데이터 배선에 연결되는 소스 전극 및 드레인 전극, 상기 드레인 전극에서 연장된 화소 전극 연결선, 그리고 차광패턴을 형성하는 단계;

상기 데이터 배선이 형성된 기판 전면에 위치하고 상기 화소 전극 연결선을 드러내는 다수의 콘택홀을 가지는 보호막을 형성하는 단계;

상기 보호막 상부에 상기 제 1 방향으로 연장된 공통 배선과, 상기 공통 배선에서 상기 제 2 방향으로 연장되고 지그재그 모양을 가지는 다수의 공통 전극과, 지그재그 모양을 가지고 상기 공통 전극과 엇갈리게 배치되며 상기 콘택홀을 통해 상기 화소 전극 연결선과 연결되는 다수의 화소 전극을 형성하는 단계를 포함하며,

상기 차광패턴은 상기 공통 배선과 만나는 상기 공통 전극의 일끝단과 상기 화소 전극의 일끝단 사이 영역에 위치하는 수평전계 구동방식 액정 표시 장치용 어레이 기판의 제조 방법.

### 【청구항 13】

제 12 항에서,

상기 데이터 배선을 형성하는 단계는 상기 공통 배선과 중첩하고 상기 화소 전극과 연결되는 캐패시터 전극을 형성하는 단계를 포함하는 수평전계 구동방식 액정 표시 장치용 어레이 기판의 제조 방법.

**【청구항 14】**

제 13 항에서,

상기 캐패시터 전극은 상기 차광패턴과 연결되는 수평전계 구동방식 액정 표시 장치용 어레이 기판의 제조 방법.

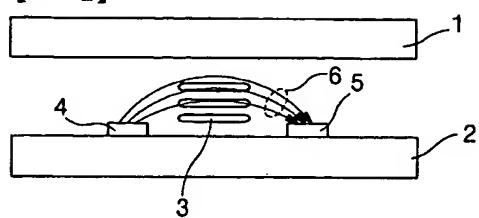
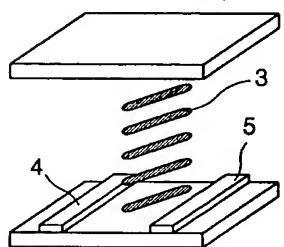
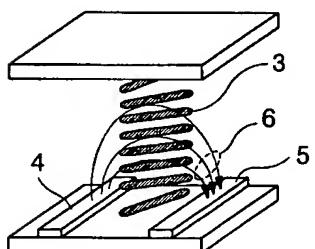
**【청구항 15】**

제 12 항에서,

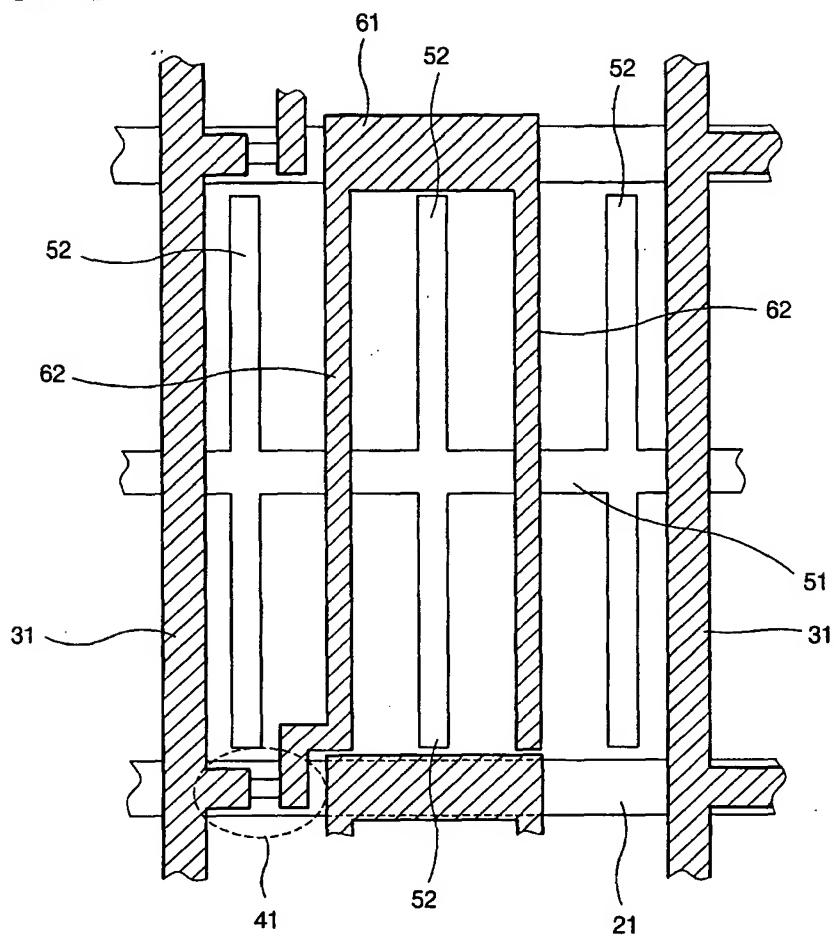
상기 데이터 배선은 지그재그 모양을 가지며 상기 공통 전극과 일부 중첩되는 수평전계 구동방식 액정 표시 장치용 어레이 기판의 제조 방법.

## 【도면】

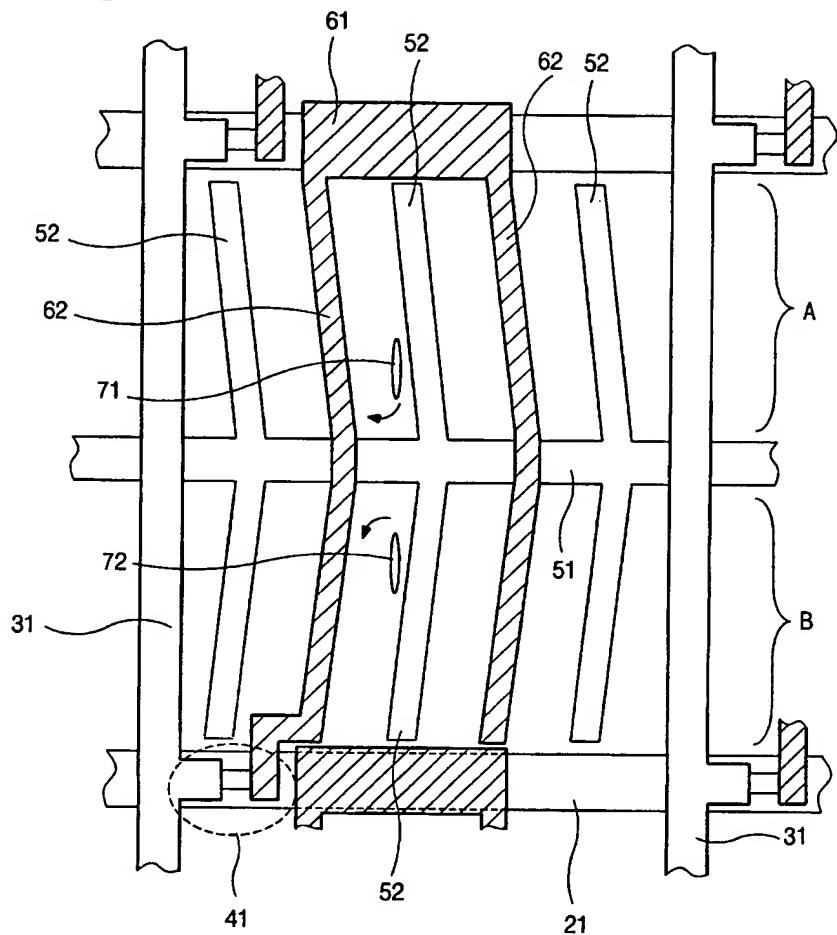
【도 1】

【도 2a】  
오프 상태【도 2b】  
온 상태

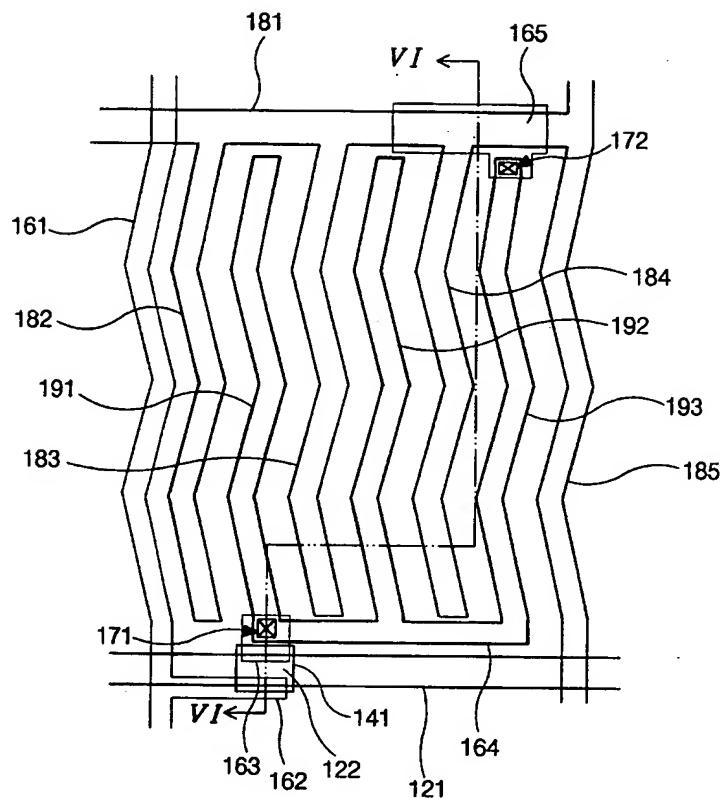
【도 3】



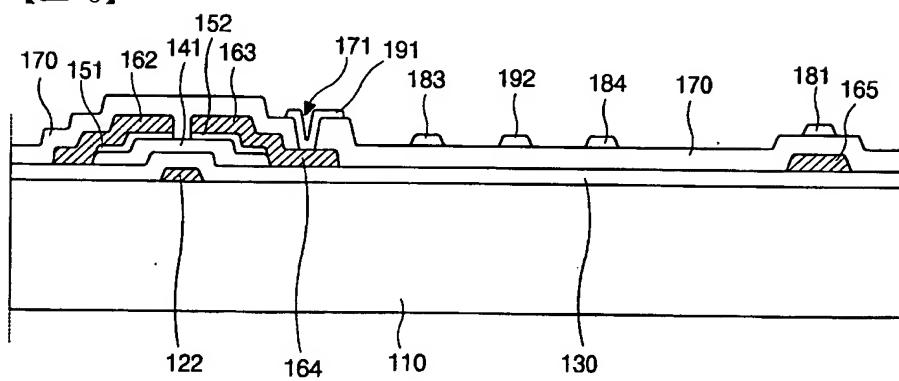
【도 4】



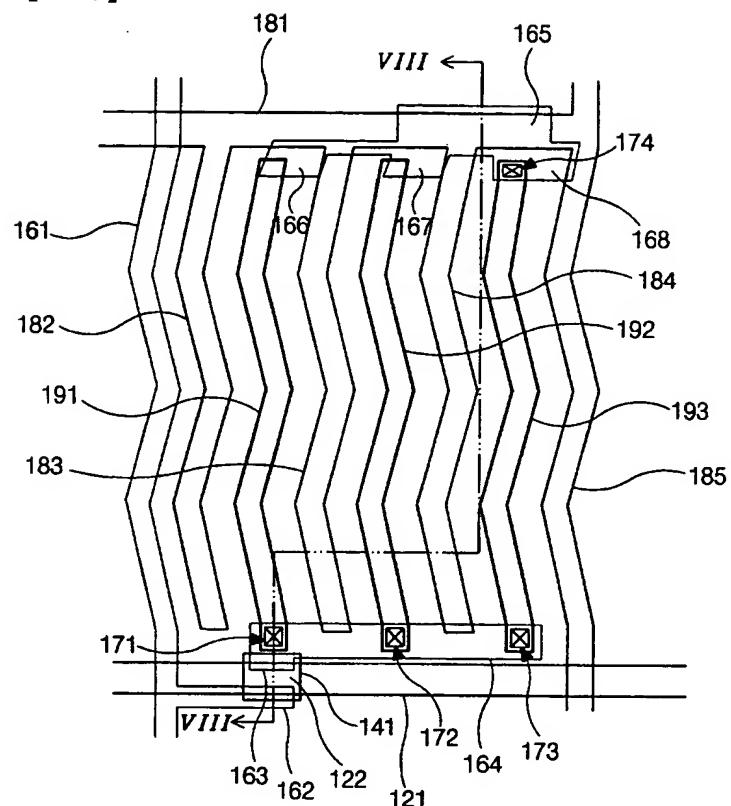
【도 5】



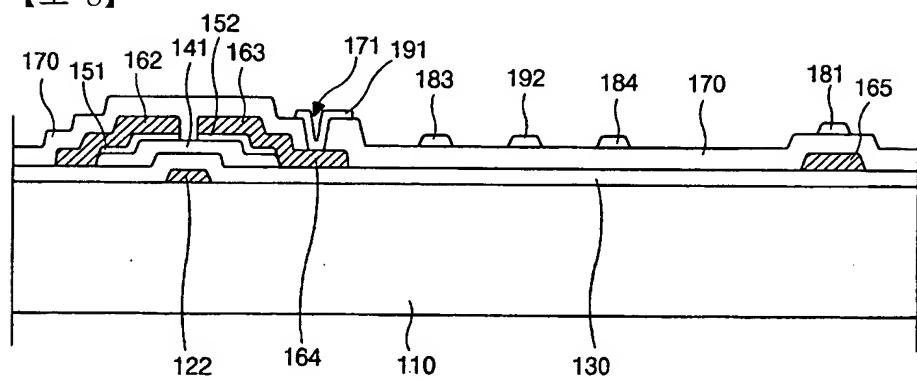
【도 6】



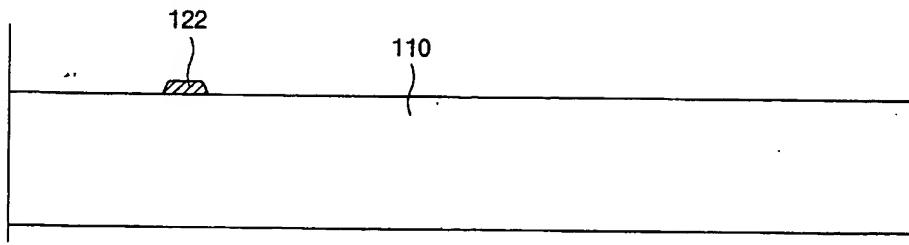
【도 7】



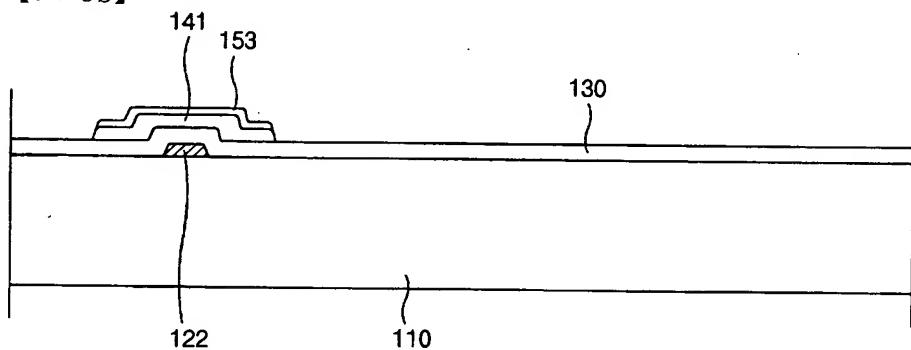
【도 8】



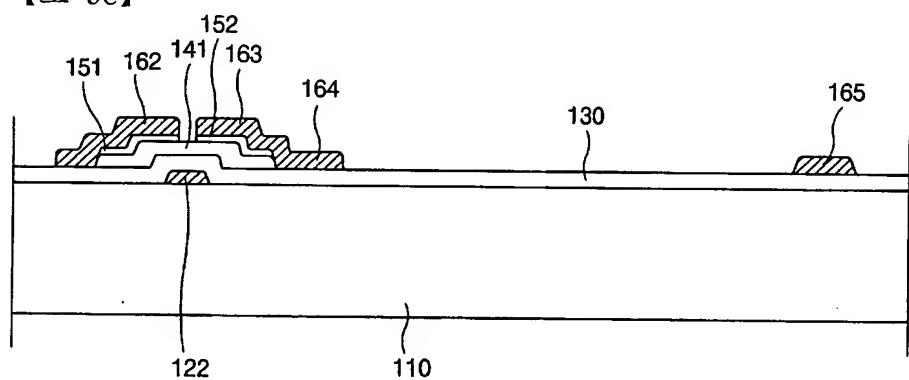
【도 9a】



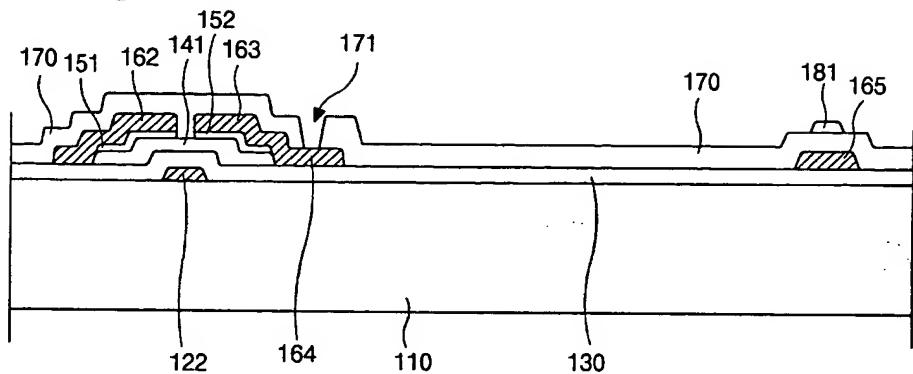
【도 9b】



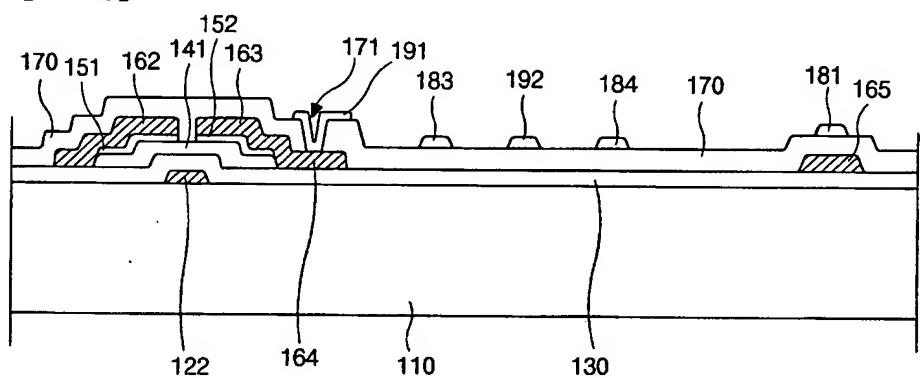
【도 9c】



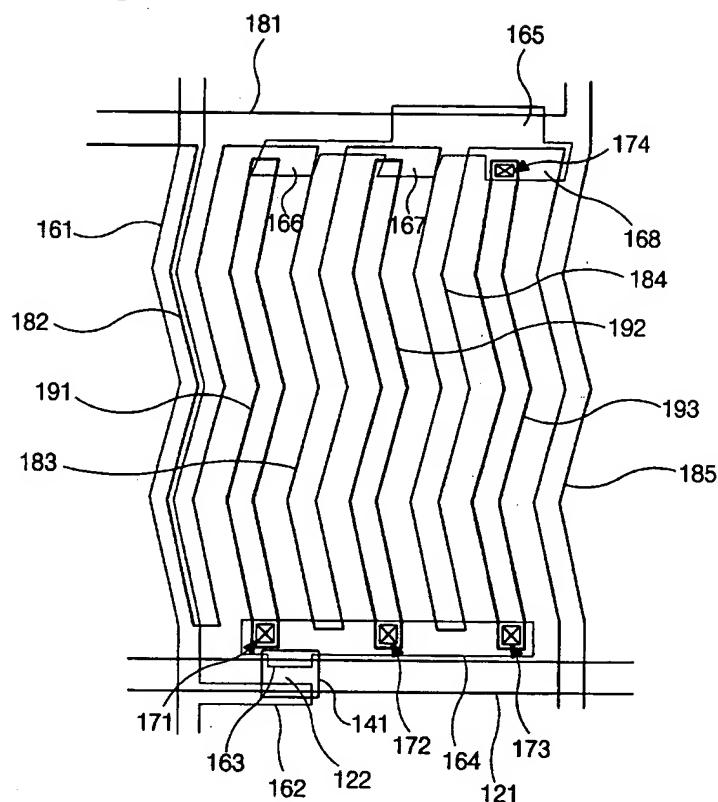
【도 9d】

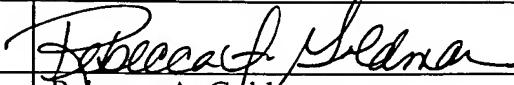


【도 9e】



【도 10】



Docket No.	8733.594.00		10/08/05 73 JC971 U.S. PRO 02/25/02
<b>IN THE UNITED STATES PATENT AND TRADEMARK OFFICE</b>			
INVENTOR(S)	Yun-Bok LEE		
SERIAL NO:	To Be Assigned		
FILING DATE:	February 25, 2002		
FOR:	ARRAY SUBSTRATE FOR IN-PLANE SWITCHING MODE LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD THEREOF		
<b>FEE TRANSMITTAL</b>			
COMMISSIONER FOR PATENTS WASHINGTON, D.C. 20231			
FOR	NUMBER FILED	NUMBER EXTRA	RATE
TOTAL CLAIMS	50 - 20 =	30	x \$18 =
INDEPENDENT CLAIMS	3 - 3 =	0	x \$84 =
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIMS (If applicable)	+ \$280 =	\$0.00	
<input type="checkbox"/> LATE FILING OF DECLARATION	+ \$130 =	\$0.00	
BASIC FEE			\$740.00
TOTAL OF ABOVE CALCULATIONS			\$1,280.00
<input type="checkbox"/> REDUCTION BY 50% FOR FILING BY SMALL ENTITY	\$0.00		
<input type="checkbox"/> FILING IN NON-ENGLISH LANGUAGE	+ \$130 =	\$0.00	
<input checked="" type="checkbox"/> RECORDATION OF ASSIGNMENT	+ \$40 =	\$40.00	
TOTAL			\$1,320.00
<input type="checkbox"/> Please charge Deposit Account No. 50-0911 in the amount of		A duplicate copy of this sheet is enclosed.	
<input checked="" type="checkbox"/> Checks totalling	\$1,320.00	to cover the filing and surcharge fees are enclosed.	
<input checked="" type="checkbox"/> The Commissioner is hereby authorized to charge any additional fees which may be required for the papers being filed herewith and for which no check is enclosed herewith, or credit any overpayment to Deposit Account No. 50-0911. A duplicate copy of this sheet is enclosed.			
		Respectfully Submitted,	
		LONG ALDRIDGE & NORMAN LLP	
Date:	February 25, 2002	 Rebecca A. Goldman	
Sixth Floor 701 Pennsylvania Ave., N.W. Washington, D.C. 20004 Tel. (202) 624-1200 Fax. (202) 624-1298			
		Registration No.	41,786